



MSL FPGA INC 晶片參數

■ 芯片概述

AD9575ARUZLVD是来自MSL FPGA INC美时龙的一款双路输出网络时钟发生器，采用16引脚TSSOP封装（4.4 mm × 5.0 mm），支持3.3 V单电源供电，工作温度范围为40 °C至+85 °C。其主要特性包括：

■ 核心参数

工作电压：3.3V单电源供电。输入频率范围：最大 25.78125 MHz。
输出频率范围：最高 312.5 MHz（支持多路输出）。
抖动性能：12kHz–20MHz 带宽下，156.25MHz 输出时均方根抖动 0.39ps。
1.875MHz–20MHz 带宽下，156.25MHz 输出时均方根抖动 0.15ps。

■ 功能特性

集成化设计：内置 VCO/PLL 内核，无需外部环路滤波器，节省 PCB 空间。
低抖动性能：整数 N 分频 PLL 技术，优化相位噪声，适用于高精度同步需求。
引脚可编程：通过引脚配置输出分频比和反馈分频比，灵活适配不同输出速率。
双路输出：支持独立时钟信号生成，适用于多设备同步场景。

■ 应用场景

GbE/FC/SONET 线路卡：提供低抖动时钟同步，确保数据传输稳定性。
交换机和路由器：优化网络定时性能，减少信号延迟。
PCI-E 总线时钟：支持 CPU 高速接口的精准时序控制。
数据中心：服务器时钟分配：通过多路输出实现分布式时钟同步。